

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029483

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

H01L 21/90

(21)Application number : 03-179362

(71)Applicant : ROHM CO LTD

(22)Date of filing : 19.07.1991

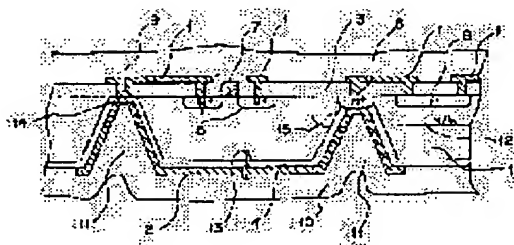
(72)Inventor : SHIMOJI NORIYUKI

## (54) SEMICONDUCTOR INTEGRATED DEVICE

## (57)Abstract:

**PURPOSE:** To eliminate complexity from wiring on the surface of a semiconductor substrate by forming the wiring on the rear surface of the substrate via through holes formed through the semiconductor substrate so as to connect the front surface with the rear surface of the substrate.

**CONSTITUTION:** In order to connect wiring on the front surface of a semiconductor substrate 13 with wiring on the rear surface of the substrate 13, through holes 11 are formed from the rear surface side of the substrate 13 by etching the substrate 13 with an Si etching solution of, for example, KOH, a mixture of hydrofluoric acid and nitric acid, etc. For insulating the Si substrate 12 from the rear-surface wiring 2, an insulating film 4 is formed by the CVD method, etc. Then, in order to connect wiring and a device on the front surface of the substrate 13 with the wiring 2 on the rear surface of the substrate 13, contacts 14 and 15 are formed and an Al film 2 which becomes the wiring on the rear surface is patterned by vapor deposition or sputtering. In addition, in order to protect the wiring and device on the front surface and wiring on the rear surface from moisture and metallic contamination, protective films 9 and 10 are respectively formed on the front and rear surfaces of the substrate 13. Therefore, direct connecting sections 14 and 15 are respectively formed between the front surface wiring and rear surface wiring and between the device and rear surface wiring.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-29483

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.<sup>3</sup>

H 0 1 L 21/90

識別記号

Z 7353-4M

B 7353-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 3 頁)

(21)出願番号 特願平3-179362

(22)出願日 平成3年(1991)7月19日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 下地 規之

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

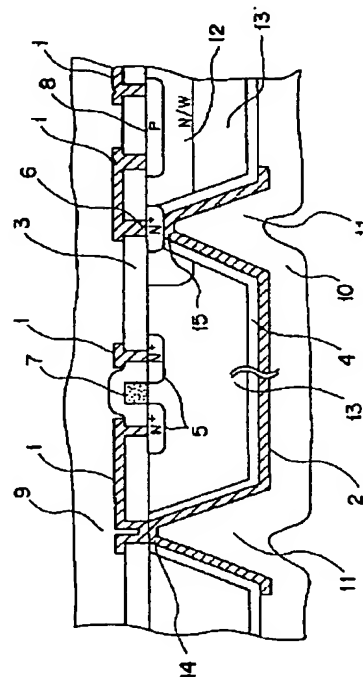
(74)代理人 弁理士 青山 蓀 (外1名)

(54)【発明の名称】 半導体集積装置

(57)【要約】

【目的】 半導体基板一表面における配線の複雑さを回避することを図る。

【構成】 半導体の表面と裏面間を通じる様に形成したスルーホールを介して、裏面にも配線を施すものである。



## 【特許請求の範囲】

【請求項1】 半導体基板の一表面上に複数の電子素子を形成した半導体集積装置において、前記電子素子間をつなぐ配線を半導体基板の一表面と、裏面の双方に設けたことを特徴とする半導体集積装置。

【請求項2】 請求項1記載の半導体集積装置において、半導体基板の裏面に設けた配線と、表面に形成した配線、または電子素子を接続する為、裏面側から表面側に通じるスルーホールを形成し、該スルーホールを介して裏面の配線と表面の配線または電子素子を相互に接続した半導体集積装置。

【請求項3】 請求項1記載の半導体集積装置において、半導体基板の裏面全体に配線を設けた半導体集積装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体基板の一表面上に、 $T_r$ 、 $C$ 、 $R$ 等の多数の電子素子を設けた半導体集積装置、特に半導体集積装置の配線構造に係る。

## 【0002】

【従来の技術】一般に半導体集積装置は、半導体基板の一表面上に多数の電子デバイスを形成し、かつ該半導体基板の同一表面にて電子デバイス相互間の配線を行っており、また、配線が複雑になる場合には、一つの配線の上に絶縁膜を形成し、その上に第2の配線を形成して、多層の配線構造としていた。

【0003】上記の如く、従来の配線構造では、半導体集積デバイスにおいて、素子数が多くなるに従い、表面に形成する配線の数も増えるに従って、その配線の複雑さを回避する為、配線の上に第2の配線、あるいは第3の配線を行っていたが、このような、配線の多層化は、半導体表面に急激な段差を形成することになり、この段差によって、絶縁膜の形成困難、配線の断線等の問題を伴っていた。

## 【0004】

【発明が解決しようとする課題】したがって、従来からこの種の半導体集積装置において、半導体基板の一表面上に設けた多数の電子素子の相互及び外部端子との配線が複雑になり、時には相互の間に大きな寄生容量が発生する等の欠点があり、この解決が要望されていた。

## 【0005】

【課題を解決するための手段】上記問題を解決するために、本発明は半導体基板の表面と裏面間を通じる様に形成したスルーホールを介して、裏面にも配線を施し、表面と裏面の両面で配線をできるようにしたもので、この両面における配線構造で半導体基板一表面における配線の複雑さを回避したものである。

【0006】すなわち、本発明にかかる半導体集積装置は、半導体基板の一表面に形成した半導体電子デバイス群と、該半導体電子デバイス群を接続する為に表面に形

成した配線と、表面と裏面とを接続する為に両面を通じる様に半導体基板に形成したスルーホールと、該スルーホールを介して半導体基板の表面の配線と接続した裏面の配線とより構成されるものである。

【0007】上記の如き構成よりなる本発明の半導体集積装置では、集積回路デバイスにおける配線を表面だけでなく裏面にも設けることができるので、表面における絶縁層等の段差がゆるやかになり、配線の信頼性が高まるものである。また、今まで表面の配線ととくに面積をとっていた電源線、 $GND$ 線等を裏面配線にまわすことができるので、配線領域を減らすことが出来、チップ面積を縮小することが出来る。さらに、表面の配線を裏面にまわすことで、素子と配線間が広がり、両者間に発生していた寄生容量を減らすことが出来る等の利点がある。

## 【0008】

【実施例】以下、本発明を図面に示す一実施例について説明する。図1に、本発明を用いた半導体集積デバイスの断面図を示す。図1において、 $Si$ 基板13の一表面上に従来周知の方法で、 $N^+$ 拡散層5、6、 $MOST_r$ 7や拡散抵抗層8、基板の電位を取る拡散層6、 $Nwe$ 11拡散層12が形成されている。これらの素子間を電氣的に接続するため、絶縁膜3にコンタクトホールを形成してその上に表面配線層1を形成して各素子を接続している。

【0009】本発明の半導体集積デバイスでは、裏面の配線と表面の配線を接続する為、基板13の裏面からスルーホール11を形成する。このスルーホール11は、例えば、裏面より $KOH$ やフッ硝酸等の $Si$ エッチング溶液等で、 $Si$ 基板をエッチングして形成する。スルーホール11を形成した $Si$ 基板13と裏面配線2との絶縁を保つため、絶縁膜4を $CVD$ 等の方法で形成する。表面の配線やデバイスと裏面の配線とを接続する為、コンタクト14、15を形成し、裏面に配線となる $A12$ を蒸着又はスパッタし、フォトリソグラフィー技術でパターンニングする。

【0010】さらに、表面の配線やデバイス、裏面の配線を水分や金属汚染から守る為、表面と裏面に夫々保護膜9、10を形成する。上記の如き配線構造で、例えば、表面配線と裏面配線の直接接続部14や、デバイスと裏面配線の直接接続15が出来る。

【0011】なお、裏面からスルーホールを形成するだけでなく、表面側から $TRENCH$ 技術と同様な方法で穴をあけることもできて、スルーホールと同様の構造で同じ作用効果を上げることができる。

【0012】上記の如く、本発明にかかる半導体集積装置は、 $Si$ や $GaAs$ 基板等の半導体基板の一表面上に $MOST_r$ や $Bip-T_r$ 、抵抗、コンデンサー等の電子デバイスを形成した半導体集積デバイスにおいて、その素子間をつなぐ配線を半導体基板の一表面と、裏面の

双方に施して、裏面に施した配線と、表面に形成した配線、あるいは、デバイスに接続する為、裏面側から表面の配線、デバイスに通じるスルーホールを形成し、そのスルーホールを通じて相互接続したものであり、また、必要に応じて裏面に施した配線は裏面全体が配線（パターンニングを行っていない）の場合も有り得るものである。

### 【0013】

【発明の効果】上記の如き構成よりなる本発明の半導体集積回路は、集積回路デバイスにおける配線を、表面だけでなく裏面にも行うので、表面の段差がゆるやかになり、配線の信頼性が高まり、また電源線、GND線等を裏面配線にまわすことができるので、配線領域を減らすことが出来、チップ面積を縮小することが出来、さらに表面の配線を裏面にまわすことができるので、素子と配線間が広がり、従来両者間に発生していた寄生容量を減らすことが出来る利点を有するものである。

### 【図面の簡単な説明】

【図1】 本発明にかかる半導体集積回路の一実施例を示す断面図である。

### 【符号の説明】

- 1 表面配線 (A1)
- 2 裏面配線 (A1)
- 3 表面絶縁膜 (SiO<sub>2</sub>)
- 4 裏面絶縁膜 (SiO<sub>2</sub>)
- 5 N<sup>+</sup> 拡散層 (1)
- 6 N<sup>+</sup> 拡散層 (2)
- 7 MOSTr
- 8 P<sup>+</sup> 拡散層
- 9 表面保護膜
- 10 裏面保護膜
- 11 スルーホール
- 12 Nwell
- 13 P基板
- 14 表面配線と裏面配線のコンタクト
- 15 デバイスと裏面配線のコンタクト

【図1】

